

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2002年 7月25日

出 願 番 号  
Application Number:

特願2002-216174

[ ST.10/C ]:

[ JP2002-216174 ]

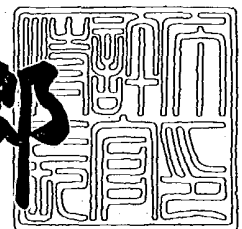
出 願 人  
Applicant(s):

パイオニア株式会社  
静岡パイオニア株式会社

2003年 1月 7日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

太田 信一郎



出証番号 出証特2002-3103958

【書類名】 特許願

【整理番号】 56P0692

【提出日】 平成14年 7月25日

【あて先】 特許庁長官 殿

【国際特許分類】 G09G 3/18

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオ  
ニア株式会社 甲府事業所内

【氏名】 重田 哲也

【発明者】

【住所又は居所】 山梨県中巨摩郡田富町西花輪 2 6 8 0 番地 静岡パイオ  
ニア株式会社 甲府事業所内

【氏名】 長久保 哲朗

【特許出願人】

【識別番号】 000005016

【氏名又は名称】 パイオニア株式会社

【特許出願人】

【識別番号】 398050283

【氏名又は名称】 静岡パイオニア株式会社

【代理人】

【識別番号】 100083839

【弁理士】

【氏名又は名称】 石川 泰男

【電話番号】 03-5443-8461

【手数料の表示】

【予納台帳番号】 007191

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9102133

【包括委任状番号】 0106474

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 表示パネル駆動装置、表示制御装置および駆動装置

【特許請求の範囲】

【請求項 1】 表示制御データを記憶するメモリと、第 1 の周波数の第 1 のクロックに基づいて前記メモリから前記表示制御データを読み出す読出し手段と、前記読出し手段により読み出された前記表示制御データを転送するデータ転送手段と、前記データ転送手段により転送された前記表示制御データに基づいて表示パネルを駆動する表示パネル駆動部とを備えた表示パネル駆動装置において、前記メモリとデータ転送手段の間にクロック変換回路を設けたことを特徴とする表示パネル駆動装置。

【請求項 2】 前記クロック変換回路は F I F O メモリを具備し、前記 F I F O メモリには前記第 1 のクロックに基づいて前記表示制御データが書き込まれ、前記第 1 のクロックとは独立に設定された第 2 の周波数の第 2 のクロックに基づいて、前記 F I F O メモリに書き込まれた前記表示制御データが読み出されることを特徴とする請求項 1 に記載の表示パネル駆動装置。

【請求項 3】 前記データ転送手段は、前記第 2 のクロックに同期して n 倍の周波数の第 3 クロックおよび前記第 2 の周波数の第 4 のクロックを発生する第 1 の P L L 回路と、

前記第 1 の P L L 回路から出力される前記第 3 のクロックに基づいて前記表示制御データをパラレル／シリアル変換するパラレル／シリアル変換器と、

前記パラレル／シリアル変換器によりシリアル変換された信号を差動シリアル伝送方式に従った信号に変換して伝送ラインを介して転送する転送部と、

前記伝送ラインを介して転送された前記表示制御データを受信する受信部と、

前記第 1 の P L L 回路から出力され前記伝送ラインを介して伝送された前記第 4 のクロックに同期して n 倍の周波数の第 5 のクロックおよび前記第 4 のクロックと同一周波数の第 6 のクロックを発生する第 2 の P L L 回路と、

前記第 2 の P L L 回路から出力される前記第 5 のクロックに基づいて、受信された前記表示制御データをシリアル／パラレル変換するシリアル／パラレル変換器と、を備えることを特徴とする請求項 1 または 2 に記載の表示パネル駆動装置

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、プラズマディスプレイパネルなどのマトリクス方式の表示パネルを駆動する表示パネル駆動装置等に関する。

【0002】

【従来の技術】

特開平11-95713号公報には、表示装置内においてデジタルデータである画像データ等をライン上で伝送する表示パネル駆動装置が記載されている。ここでは、このデジタル信号をLVDS (Low Voltage Differential Signaling) で伝送する方式（差動シリアル伝送方式）が用いられている。LVDSによる伝送方式は、2本の信号線を対称的に逆相で駆動し、2本の信号線の信号の差を伝送する方式であるため、外部から混入するノイズが打ち消しあって信号に影響を与えにくい等の特長がある。

【0003】

【発明が解決しようとする課題】

しかし、従来、このような方式で画像データ等をメモリから読出し、これを伝送する場合には、メモリからの画像データの読出しに用いられるクロックと、LVDSによる伝送方式で用いられるクロックとは、同一周波数であるか、又は整数比の周波数であった。このため、メモリからの画像データの読出し動作に用いられるクロック、およびLVDSによる伝送の際又は伝送先の回路での動作に用いられるクロックの両者を最適なクロック周波数に設定できない場合があった。

【0004】

本発明は、表示パネルの表示を制御するためのデータの読出し動作、および読み出されたデータの処理動作を適切な周波数のクロックに基づいて実行できる表示パネル駆動装置等を提供することを目的とする。

【0005】

【課題を解決するための手段】

請求項1に記載の表示パネル駆動装置は、表示制御データを記憶するメモリと、第1の周波数の第1のクロックに基づいて前記メモリから前記表示制御データを読み出す読出し手段と、前記読出し手段により読み出された前記表示制御データを転送するデータ転送手段と、前記データ転送手段により転送された前記表示制御データに基づいて表示パネルを駆動する表示パネル駆動部とを備えた表示パネル駆動装置において、前記メモリとデータ転送手段の間にクロック変換回路を設けたことを特徴とする。

【0006】

【発明の実施の形態】

以下、図1～図4を参照して、本発明による表示パネル駆動装置の一実施形態について説明する。図1は本実施形態の表示パネル駆動装置を示すブロック図である。

【0007】

図1に示すように、本実施形態の表示パネル駆動装置100は、表示制御部100Aと、駆動部100Bと、を伝送ラインL1およびL2により互いに接続して構成される。

【0008】

図1に示すように、表示制御部100Aは、アドレスデータを逐次記憶するフレームメモリ1と、フレームメモリ1にアドレスデータを書き込むための書込制御部2と、フレームメモリ1からアドレスデータを読み出すための読出制御部3と、装置各部を制御する制御部4と、制御部4から出力されるクロックおよび読出制御部3から出力される信号HAの論理積をとるアンド回路5と、アドレスデータ等のクロックを変換するクロック変換部6Aと、クロック変換部6Aから出力されたアドレスデータ等のパラレルデータをシリアル差動信号に変換するシリアライザ7と、制御部4の制御データメモリ4aから読み出された各種制御データ等のクロックを変換するクロック変換部6Bと、クロック変換部6Bから出力された各種制御データ等のパラレルデータをシリアル差動信号に変換するシリアライザ11と、を備える。

【0009】

駆動部 1 0 0 B は、シリアルライザ 7 から伝送ライン L 1 を介して転送されたシリアル差動信号を多ビットの平行データに変換するデシリアルライザ 8 と、シリアルライザ 1 1 から伝送ライン L 2 を介して転送されたシリアル差動信号を多ビットの平行データに変換するデシリアルライザ 1 2 と、1 ライン分のアドレスデータを記憶するシフトレジスタ 1 5、シフトレジスタ 1 5 に 1 ライン分のアドレスデータが蓄積された時点で、1 ライン分のアドレスデータをラッチするラッチ回路 1 6、および 1 ライン分のアドレスデータに応じて 1 ライン分のデータパルスを発生させ、このデータパルスをプラズマディスプレイパネル 3 0 の列電極 Z 1 ~ Z m に同時に印加するアドレスドライバ 1 7 を具備するアドレスドライバ部 1 8 と、Y サステインパルスをプラズマディスプレイパネル 3 0 のサステイン電極 Y 1 ~ Y n に同時に印加するサステインドライバ 1 9 と、スキャンパルスをサステイン電極 Y 1 ~ Y n に順次印加するスキャンドライバ 2 0 と、X サステインパルスをプラズマディスプレイパネル 3 0 のサステイン電極 X 1 ~ X n に同時に印加するサステインドライバ 2 1 と、リセットパルスを発生するリセットパルス発生回路 2 0 A、2 1 A、サステインドライバ 1 9、スキャンドライバ 2 0 およびサステインドライバ 2 1 等を制御する駆動制御部 2 2 と、を備える。

## 【 0 0 1 0 】

図 1 に示すように、クロック変換部 6 A は、フレームメモリ 1 から読み出されたアドレスデータを順次記憶する F I F O (First-In First-Out) メモリ 6 1 と、アンド回路 5 から出力されるシフトクロックを順次記憶する F I F O メモリ 6 2 と、制御部 4 から出力されるパルス生成用制御データを順次記憶する F I F O メモリ 6 3 と、を備える。図 1 に示すように、F I F O メモリ 6 1、F I F O メモリ 6 2 および F I F O メモリ 6 3 は、それぞれ制御部 4 から出力されるクロック A に従って書込み動作を実行するとともに、制御部 4 から出力されるクロック B に従って読み出し動作を実行する。これらのクロック A およびクロック B の周波数は、互いに独立して設定することができる。例えば、両者の周波数が同一周波数でなく、かつ整数比にならないようにクロック A およびクロック B の周波数を設定することもできる。

## 【 0 0 1 1 】

また、クロック変換部6Bは、制御データメモリ4aから読み出されたスキヤンドライバ用制御データ、サステインドライバ用制御データ、その他制御データおよびクロックCをそれぞれ順次記憶するFIFOメモリ64、FIFOメモリ65、FIFOメモリ66およびFIFOメモリ67を備える。図1に示すように、FIFOメモリ64、FIFOメモリ65、FIFOメモリ66およびFIFOメモリ67は、それぞれ制御部4から出力されるクロックAに従って書き込み動作を実行するとともに、制御部4から出力されるクロックBに従って読み出し動作を実行する。

## 【0012】

後述するように、本実施形態の表示パネル駆動装置100では、クロック変換部6Aおよびクロック変換部6Bによって、アドレスデータ、各種制御データ等を取り扱うクロック周波数をクロックAからクロックBに変換するようにしている。これにより、フレームメモリ1、制御データメモリ4a等からのデータの読出し動作と、クロック変換部6Aおよびクロック変換部6Bよりも後段におけるデータの処理動作のクロック周波数を独立して設定することができる。このため、各動作に対しそれぞれ最適なクロック周波数を選択することが可能となる。

## 【0013】

図1に示すように、シリアライザ7は、制御部4からのクロックBを受けて送信クロックを生成するPLL部71と、フレームメモリ1から読み出されたアドレスデータ、アンド回路6から出力されたシフトクロック、および制御部4から出力されたパルス生成用制御データを制御部4からのクロックBに基づいてそれぞれラッチする入力ラッチ部72と、入力ラッチ部72によりラッチされたパラレルデータをPLL部71からの、制御部4から入力されたクロックBのn倍の周波数のクロックに基づいてシリアル化するパラレル／シリアル変換部73と、パラレル／シリアル変換部73から出力されたシリアルデータをツイストケーブル等からなる伝送ラインL1を介して差動シリアル送信する送信出力部74と、を備える。

## 【0014】

デシリアライザ8は、伝送ラインL1を介して転送された差動シリアル信号を



受信する受信部 81 と、伝送ライン L1 を介して転送された転送クロックを受けてクロックを生成する PLL 部 82 と、受信部 81 から出力されるシリアル信号を PLL 部 82 からの、転送クロックの  $n$  倍の周波数のクロックに基づいてパラレルデータ化するシリアル／パラレル変換部 83 と、シリアル／パラレル変換部 83 から出力されたパラレルデータを PLL 部 82 からのクロックでラッチする出力ラッチ部 84 と、を備える。なお、上記転送クロックおよび出力ラッチ部 84 に与えられるクロックは、PLL 部 71 に入力されるクロック B と同一周波数である。

## 【0015】

図 1 に示すように、シリアライザ 11 は、制御部 4 からのクロック B を受けて送信クロックを生成する PLL 部 111 と、制御データメモリ 4a から出力されたスキンドライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データ、およびクロックを、それぞれ制御部 4 から出力されたクロック B に基づいてラッチする入力ラッチ部 112 と、入力ラッチ部 112 によりラッチされたパラレルデータを、制御部 5 から入力されたクロックの  $n$  倍の周波数のクロックに基づいてシリアル化するパラレル／シリアル変換部 113 と、パラレル／シリアル変換部 113 から出力されたシリアルデータをツイストケーブル等からなる伝送ライン L2 を介して差動シリアル送信する送信出力部 114 と、を備える。

## 【0016】

デシリアライザ 12 は、伝送ライン L2 を介して転送された差動シリアル信号を受信する受信部 121 と、伝送ライン L2 を介して転送された転送クロックを受けてクロックを生成する PLL 部 122 と、受信部 121 から出力されるシリアル信号を PLL 部 122 からの、転送クロックの  $n$  倍の周波数のクロックに基づいてパラレルデータ化するシリアル／パラレル変換部 123 と、シリアル／パラレル変換部 123 から出力されたパラレルデータを PLL 部 122 からのクロックでラッチする出力ラッチ部 124 と、を備える。なお、上記転送クロックおよび出力ラッチ部 124 に与えられるクロックは、PLL 部 111 に入力されるクロック B と同一周波数である。

## 【0017】

図1に示すように、駆動制御部22には、デシリアライザ12から出力されたクロックが与えられ、駆動制御部22はこのクロックに基づいて駆動パルスの発生タイミングを制御する。

## 【0018】

次に、表示パネル駆動装置100の動作について説明する。

## 【0019】

プラズマディスプレイパネル30を駆動する期間としての1フィールドは、複数のサブフィールドSF1～SFNにより構成される。図2に示すように、各サブフィールドには、点灯させるセルを選択するアドレス期間と、そのアドレス期間において選択されたセルを所定時間点灯させ続けるサステイン期間とが設けられている。また、最初のサブフィールドであるSF1の先頭部分には、前のフィールドでの点灯状態をリセットするためのリセット期間がさらに設けられている。このリセット期間では、すべてのセルを点灯セル（壁電荷が形成されているセル）に、または消灯セル（壁電荷が形成されていないセル）にリセットする。前者の場合には、所定のセルを消灯セルに切換え、後者の場合には、後続のアドレス期間において所定のセルを点灯セルに切換える。サステイン期間はサブフィールドSF1～SFNの順に段階的に長くされており、点灯させ続けるサブフィールドの個数を変化させることにより、所定の階調表示が可能とされている。

## 【0020】

図3に示す各サブフィールドのアドレス期間では、1ラインごとにアドレス走査が行われる。すなわち、第1のラインを構成する行電極Y1に走査パルスが印加されると同時に、列電極Z1～Zmに第1のラインのセルに対応するアドレスデータに応じたデータパルスDP1が印加され、次に第2のラインを構成する行電極Y2に走査パルスが印加されると同時に、列電極Z1～Zmに第2のセルに対応するアドレスデータに応じたデータパルスDP2が印加される。第3のライン以下についても同様に走査パルスおよびデータパルスが同時に印加される。最後に、第nのラインを構成する行電極Ynに走査パルスが印加されると同時に、列電極Z1～Zmに第nのラインのセルに対応するアドレスデータに応じたデー

タパルスDP<sub>n</sub>が印加される。上記のようにアドレス期間では、所定のセルを点灯セルから消灯セルに、または消灯セルから点灯セルに切替える。

#### 【0021】

このようにしてアドレス走査が終了すると、サブフィールドにおけるすべてのセルが、それぞれ点灯セルあるいは消灯セルのいずれかに設定されており、次のサステイン期間においてサステインパルスが印加されるごとに点灯セルのみ発光を繰り返す。図3に示すように、サステイン期間では行電極X<sub>1</sub>～X<sub>n</sub>および行電極Y<sub>1</sub>～Y<sub>n</sub>に対し、XサステインパルスおよびYサステインパルスが、それぞれ所定のタイミングで繰り返し印加される。そして、最後のサブフィールドS<sub>FN</sub>には、全セルを消灯セルに設定する消去期間が設けられている。

#### 【0022】

次に、プラズマディスプレイパネル30の駆動に用いられるアドレスデータおよび各種制御データ等の信号処理について説明する。

#### 【0023】

図1に示すように、フレームメモリ1から読み出されたアドレスデータ、アンド回路6から出力されたシフトクロック、および制御データメモリ4aから読み出されたパルス生成用制御データは、クロック変換部6AのFIFOメモリ61、FIFOメモリ62およびFIFOメモリ63に、それぞれ順次書き込まれる。クロック変換部6AのFIFOメモリ61、FIFOメモリ62およびFIFOメモリ63から読み出されたアドレスデータ、シフトクロックおよびパルス生成用制御データは、シリアルライザ7に入力される。

#### 【0024】

図1に示すように、書込制御部2、読出制御部3および制御データメモリ4Aには、制御部4からのクロックAが供給されており、書込制御部2および読出制御部3によるフレームメモリ1へのアドレスデータの書込み動作、フレームメモリ1からのアドレスデータの読出し動作、および制御データメモリ4Aからのパルス生成用制御データの読出し動作は、クロックAに基づいて実行される。また、クロック変換部6AのFIFOメモリ61、FIFOメモリ62およびFIFOメモリ63へのアドレスデータ、シフトクロックおよびパルス生成用制御デー

タの書込み動作も、クロック A に基づいて実行される。

【0025】

一方、クロック変換部 6 A の F I F O メモリ 6 1、F I F O メモリ 6 2 および F I F O メモリ 6 3 からのアドレスデータ、シフトクロックおよびパルス生成用制御データの読出し動作は、クロック B に基づいて実行される。また、シリアルライザ 7 およびデシリアルライザ 8 の動作も、クロック B あるいはクロック B から生成されたクロックに基づいて実行される。このように、クロック変換部 6 A からの各データの読出し動作およびクロック変換部 6 A よりも後段における動作は、クロック B に基づいて実行される。

【0026】

上記のように、本実施形態の表示パネル駆動装置 100 では、クロック変換部 6 A よりも前段に配置されたフレームメモリ 1 および制御データメモリ 4 A からの各データの読出し動作はクロック A に基づいて実行され、クロック変換部 6 A からの各データの読出し動作およびクロック変換部 6 A よりも後段での動作は、クロック B に基づいて実行される。すなわち、クロック変換部 6 A によってクロック変換部 6 A よりも前段に配置されたフレームメモリ 1 の動作のクロック（クロック A）と、クロック変換部 6 A よりも後段における、読み出された上記各データの処理動作のクロック（クロック B）とを互いに分離することができる。そして、本実施形態では、クロック A およびクロック B の周波数を互いに独立して設定することができるため、クロック A およびクロック B の周波数を、それぞれの動作に合わせて最適な周波数に設定することが可能となる。

【0027】

クロック変換部 6 A から読み出されたアドレスデータ、シフトクロックおよびパルス生成用制御データは、制御部 4 からのクロック B に基づいて入力ラッチ部 7 2 によりラッチされるとともに、パラレル／シリアル変換部 7 3 によりシリアル変換され、送信出力部 7 4 により差動シリアル伝送方式（L V D S 伝送方式）に従った信号に変換される。このようにして得られた差動シリアル信号（L V D S 信号）が、伝送ライン L 1 を介して高速 L V D S データ転送される。ここで、アドレスデータは R、G、B の各セルに対するサブフィールドごとのビットデー

タ（シリアルデータ）であり、R、G、Bのそれぞれのシリアルデータがシフトクロックおよびパルス生成用制御データとともにシリアルライザ7にパALLELに入力される。これらのパALLELデータが、シリアルライザ7においてシリアル変換される。

#### 【0028】

伝送ラインL1を介して転送されたシリアル信号は、デシリアルライザ8においてパALLEL変換され、元のパALLEL信号が復元される。

#### 【0029】

図4はアドレスデータの書込みとラッチイネーブルのタイミングを示す図である。デシリアルライザ8から出力されたアドレスデータは1ライン分ずつ順次シフトレジスタ15に書き込まれる。図4に示すように、1ライン分の最後のデータ（データz）を書き込むためのシフトクロックの立ち上がりと同時に、ラッチ回路16に入力されるラッチイネーブルが立ち上がるため、1ライン分のデータ（例えば、データa～データz）がラッチされてアドレスドライバ17に同時に入力される。これにより、上記のように、アドレス期間において行電極Y1～Ynに順次走査パルスが印加されると同時に、列電極Z1～Zmに所定のアドレスデータに応じたデータパルスDP1～DPnが印加される。このラッチイネーブルはシフトクロックに基づいてラッチイネーブル生成部16Aにおいて生成される。

#### 【0030】

ところで、本実施形態では、フレームメモリ1からアドレスデータを読み出している間のみ読出制御部3から信号HAを出力するようにしている。図1に示すように、この信号HAおよび制御部5から出力されるクロックをアンド回路6に入力することによって、信号HAが出力されている（「H」となっている）期間のみクロックを通過させ、シフトクロックとして出力している。すなわち、フレームメモリ1からアドレスデータが読み出されていない期間には、シフトクロックの供給を停止するようにしている。このため、図4に示すように、アドレスデータが読み出されていない期間はシフトクロックが供給されないため、この間、シフトレジスタ15のデータが更新されず、シフトレジスタ15では正規のラッ

チイネーブルの信号が立ち上がったときの記憶状態が維持される。このため、図4に示すように、ノイズがラッチイネーブルに重畳された場合でも、ノイズによりラッチされるデータが正規のアドレスデータと同一となる。したがって、ノイズによって誤ったタイミングでアドレスデータがラッチされたとしてもプラズマディスプレイ30には正常なアドレスデータに従ったデータパルスが印加されることとなる。

## 【0031】

デシリアライザ8から出力されたパルス生成用制御データは、アドレスドライバ17に向けて駆動パルスを出力するアドレス共振電源回路17A（図1）に設けられたスイッチのオン／オフを制御するためのデータである。アドレス共振電源回路17Aは、上記スイッチを規則的にオン／オフした際の共振を利用して所定の電源電圧を得るための回路であるが、その詳細については省略する。

## 【0032】

次に、図1に示すように、制御データメモリ4Aから読み出されたスキャンドライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データおよびクロックCは、クロック変換部6BのFIFOメモリ64、FIFOメモリ65、FIFOメモリ66およびFIFOメモリ67に、それぞれ順次書き込まれる。クロック変換部6BのFIFOメモリ64、FIFOメモリ65、FIFOメモリ66およびFIFOメモリ67から読み出されたスキャンドライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データおよびクロックCは、シリアライザ11に入力される。

## 【0033】

図1に示すように、制御データメモリ4Aには制御部4からのクロックAが供給されており、制御データメモリ4Aからの各制御データの読出し動作は、クロックAに基づいて実行される。また、クロック変換部6BのFIFOメモリ64、FIFOメモリ65、FIFOメモリ66およびFIFOメモリ67へのスキャンドライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データおよびクロックCの書き込み動作も、クロックAに基づいて実行される。

## 【0034】

一方、クロック変換部6BのFIFOメモリ64、FIFOメモリ65、FIFOメモリ66およびFIFOメモリ67からのスキन्दライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データおよびクロックCの読出し動作は、クロックBに基づいて実行される。また、シリアルライザ11およびデシリアルライザ12の動作も、クロックBあるいはクロックBから生成されたクロックに基づいて実行される。このように、クロック変換部6Bからの各データの読出し動作およびクロック変換部6Bよりも後段における動作は、クロックBに基づいて実行される。

## 【0035】

上記のように、本実施形態の表示パネル駆動装置100では、クロック変換部6Bよりも前段に配置された制御データメモリ4Aからの各データの読出し動作はクロックAに基づいて実行され、クロック変換部6Bからの各データの読出し動作およびクロック変換部6Bよりも後段での動作は、クロックBに基づいて実行される。すなわち、クロック変換部6Bによってクロック変換部6Bよりも前段に配置された制御データメモリ4Aからの各制御データ読出し動作のクロック（クロックA）と、クロック変換部6Bよりも後段における、読み出された上記各制御データの処理動作のクロック（クロックB）とを互いに分離することができる。そして、本実施形態では、クロックAおよびクロックBの周波数を互いに独立して設定することができるため、クロックAおよびクロックBの周波数を、それぞれの動作に合わせて最適な周波数に設定することが可能となる。

## 【0036】

図1に示すように、クロック変換部6Bから読み出されたスキन्दライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データ、およびクロックCは、制御部4からのクロックBに基づいて入力ラッチ部112によりラッチされるとともに、パラレル／シリアル変換部113によりシリアル変換され、送信出力部114により差動シリアル伝送方式（LVDS伝送方式）に従った信号に変換される。このようにして得られた差動シリアル信号（LVDS信号）が、伝送ラインL2を介して高速LVDSデータ転送される。ここ

で、スキャンドライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データ、およびクロックCはシリアライザ11に平行に入力され、これらの平行データが、シリアライザ11においてシリアル変換される。

## 【0037】

伝送ラインL2を介して転送されたシリアル信号は、デシリアライザ12において平行変換され、元の平行信号が復元される。

## 【0038】

デシリアライザ12から出力されたスキャンドライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データは、それぞれ駆動制御部22に入力される。駆動制御部22では、スキャンドライバ用制御データに基づいてスキャンドライバ20に設けられたスイッチング素子をオン/オフする信号を、サステインドライバ用制御データに基づいてサステインドライバ19、21に設けられたスイッチング素子をオン/オフする信号を、その他のパルス生成用制御データに基づいてリセットパルス制御部20A、21Aに設けられたスイッチング素子をオン/オフする信号等を、それぞれ生成する。

## 【0039】

以上説明したように、本実施形態の表示パネル駆動装置100では、クロック変換部6Aおよびクロック変換部6Bを設けているので、クロック変換部6Aまたはクロック変換部6Bの前段におけるデータの読出し動作のクロックと、クロック変換部6Aまたはクロック変換部6Bの後段での、読み出された上記データを処理する動作のクロックとを互いに分離することができる。このため、それぞれの動作のクロック周波数を最適化できる。

## 【0040】

なお、表示パネル駆動装置100では、アドレスデータおよびシフトクロックの両者をシリアライザ7により一連のシリアルデータに変換して転送しており、いわばシフトクロックもアドレスデータと同時にデータ化したうえで両者を一括して転送している。このため、アドレスデータとシフトクロックとの間でスキューが発生するおそれがない。また、表示パネル駆動装置100では、スキャンド



ライバ用制御データ、サステインドライバ用制御データおよびその他のパルス生成用制御データ等の制御データと、クロックCとをシリアライザ11により一連のシリアルデータに変換して転送している。このため、これらの制御データとクロックCとの間でスキューが発生するおそれがない。したがって、スキューを打ち消すための遅延回路等、タイミング合わせのための手段を必要としないという利点がある。

## 【0041】

また、本実施形態では、LVDSを用いた差動シリアル伝送方式を採用しているため、ノイズの影響を受けにくく、外部に対するノイズの輻射が減少する等の利点がある。

## 【0042】

上記実施形態におけるアドレスデータ、パルス生成用制御データ、スキヤンドライバ用制御データ、サステインドライバ用制御データ、その他のパルス生成用制御データは、それぞれ、請求項に記載された「表示制御データ」に対応する。なお、表示制御データは、上記実施形態で示されたデータに限定されない。

## 【0043】

上記実施形態におけるフレームメモリ1および制御データメモリ4Aは、それぞれ、請求項に記載された「メモリ」に対応する。

## 【0044】

上記実施形態では、表示パネルとしてプラズマディスプレイパネルを例示しているが、本発明は表示パネルとして液晶表示パネル、EL表示パネル等の各種表示パネルに対し適用できる。

## 【図面の簡単な説明】

## 【図1】

本実施形態の表示パネル駆動装置を示すブロック図。

## 【図2】

1 フィールドの構成を示す図。

## 【図3】

1 サブフィールド内の駆動パルスを示す図。

【図 4】

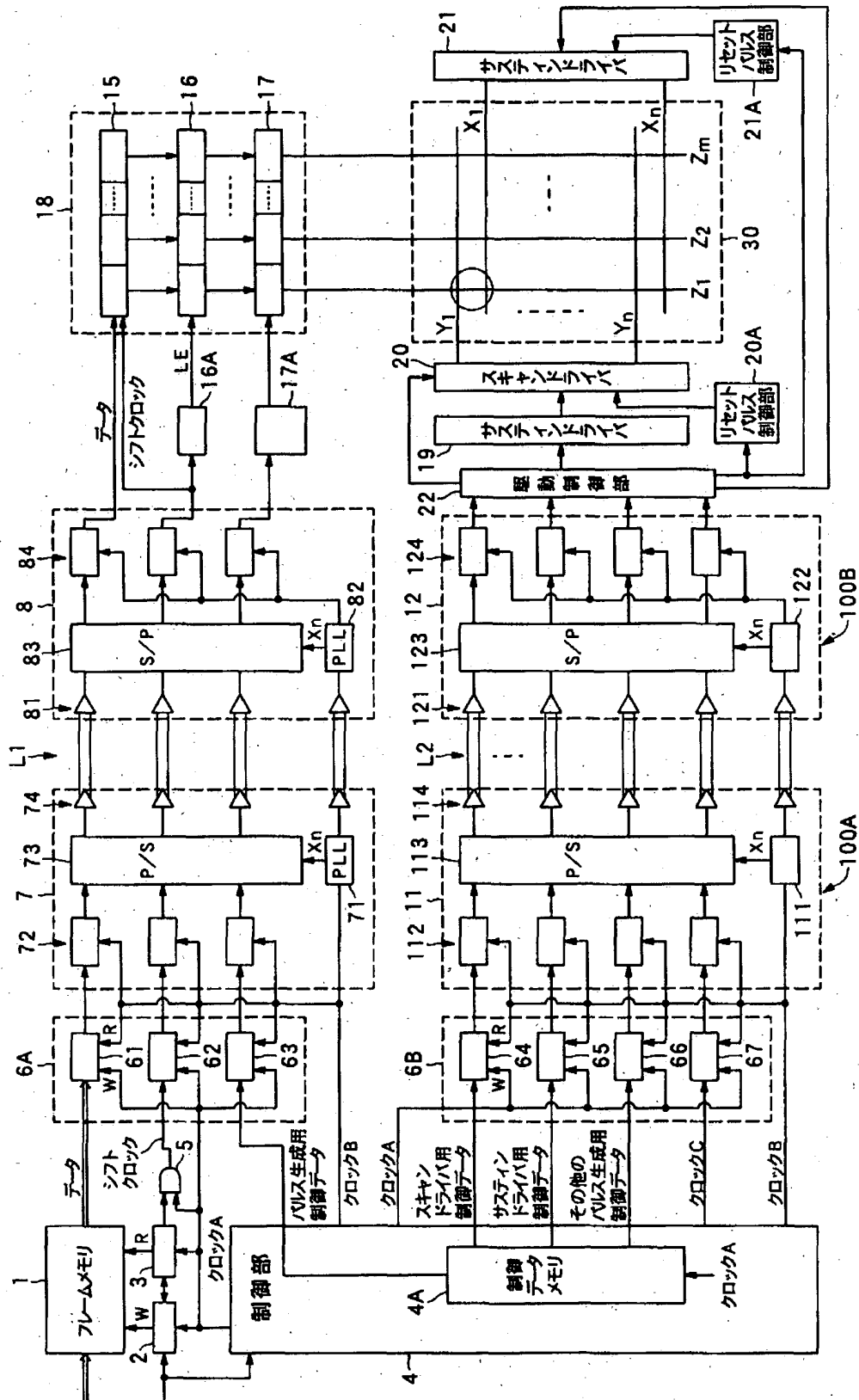
ラッチイネーブルによりラッチされるアドレスデータを示す図。

【符号の説明】

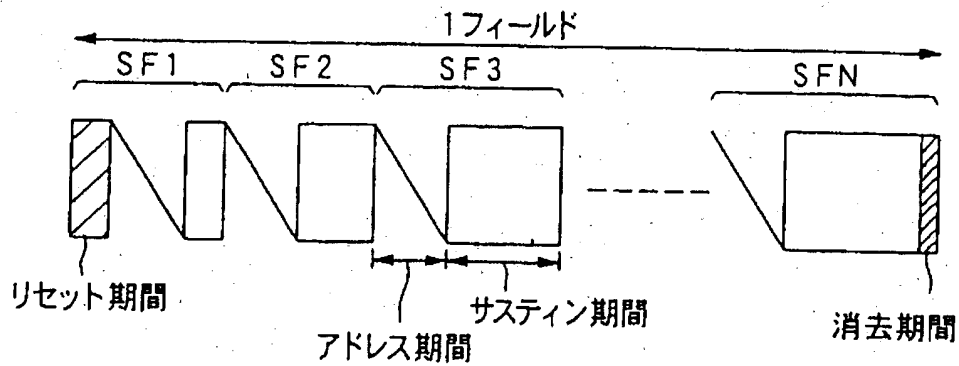
- 1       フレームメモリ（メモリ）
- 3       読出制御部（読出し手段）
- 4 A     制御データメモリ（メモリ）
- 6 A     クロック変換部（クロック変換回路）
- 6 B     クロック変換部（クロック変換回路）
- 7, 1 1   シリアルライザ（データ転送手段）
- 3 0     プラズマディスプレイパネル（表示パネル）
- 6 1 ~ 6 7   F I F O メモリ
- 7 1, 1 1 1   P L L 回路（第 1 の P L L 回路）
- 7 3, 1 1 3   パラレル／シリアル変換器
- 7 4, 1 1 4   送信出力部（転送部）
- 8 2, 1 2 2   P L L 回路（第 2 の P L L 回路）
- 8 3, 1 2 3   シリアル／パラレル変換器
- L 1, L 2   伝送ライン
- 1 0 0 B   駆動部（表示パネル駆動部）

【書類名】 図面

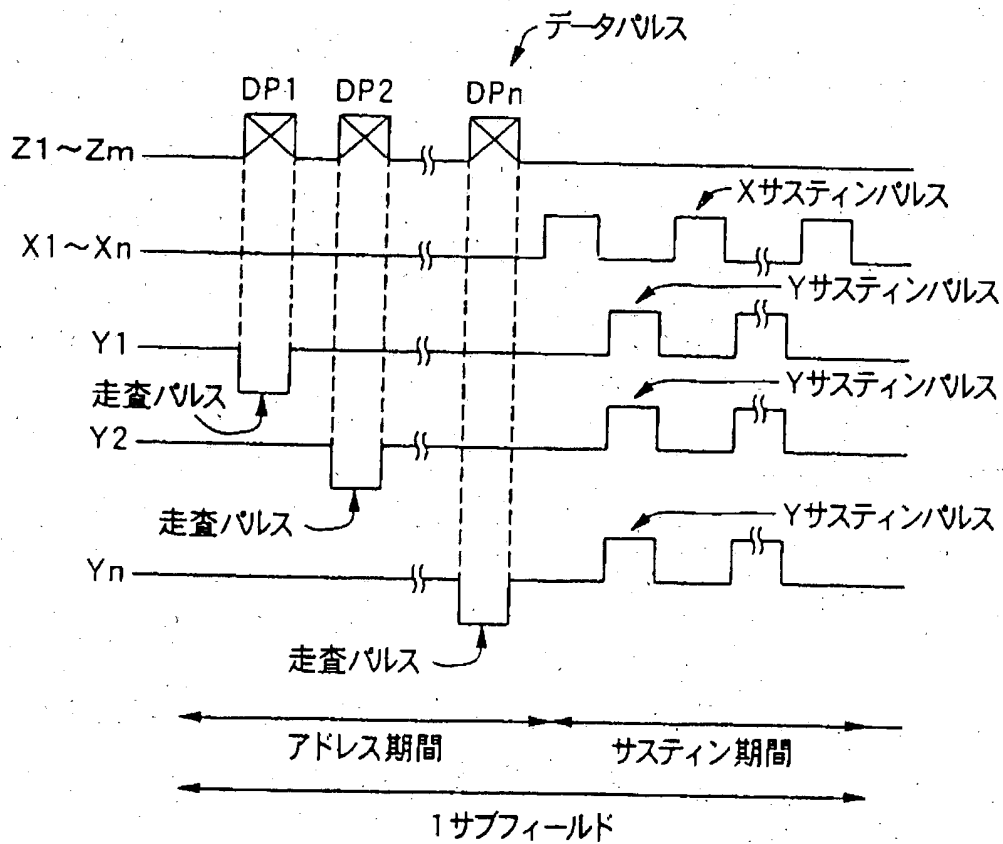
【図1】



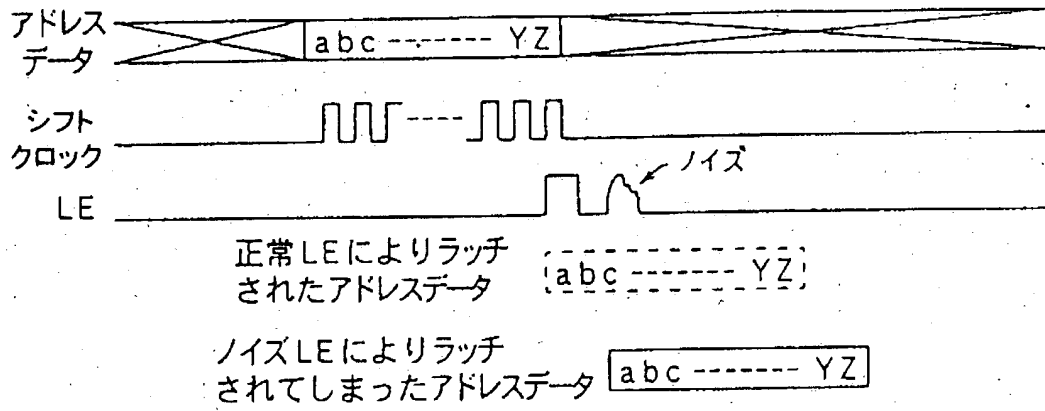
【図2】



【図3】



【図4】



【書類名】 要約書

【要約】

【課題】 表示パネルの表示を制御するためのデータの読出し動作、および読み出されたデータの処理動作を適切な周波数のクロックに基づいて実行できる表示パネル駆動装置等を提供する。

【解決手段】 アドレスデータを記憶するフレームメモリ1と、クロックAに基づいてフレームメモリ1からアドレスデータを読み出す読出制御部3と、読出制御部3により読み出されたアドレスデータを転送するシリアルライザ7と、シリアルライザ7により転送されたアドレスデータに基づいてプラズマディスプレイパネル30を駆動する駆動部100Bとを備える。そして、フレームメモリ1とシリアルライザ7との間にFIFOメモリ61～63を配置することにより、アドレスデータの読出し動作のクロック（クロックA）と、読み出されたアドレスデータの処理動作データのクロック（クロックB）とを分離する。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000005016]

1. 変更年月日 1990年 8月31日  
[変更理由] 新規登録  
住 所 東京都目黒区目黒1丁目4番1号  
氏 名 パイオニア株式会社

出 願 人 履 歴 情 報

識別番号 [398050283]

1. 変更年月日 1998年 7月16日  
[変更理由] 新規登録  
住 所 静岡県袋井市鷺巣字西ノ谷15の1  
氏 名 静岡パイオニア株式会社